

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-282703

(43)Date of publication of application : 03.10.2003

(51)Int.Cl.

H01L 21/768  
H01L 21/28  
H01L 21/8238  
H01L 27/092

(21)Application number : 2002-086566

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.03.2002

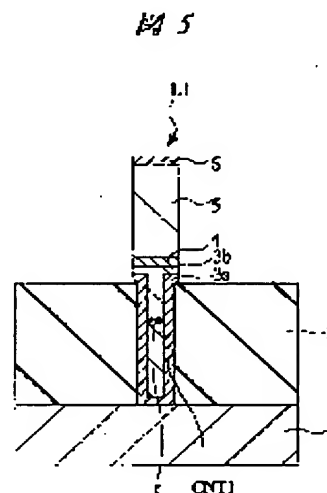
(72)Inventor : ITO FUMITOSHI  
OKUYAMA KOSUKE

## (54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify a wiring forming process of a semiconductor device.

SOLUTION: After a contact hole CNT1 is formed in an insulation film 2, conductor films 3a, 3b are sequentially deposited from a lower layer to fill the contact hole CNT1. Subsequently, after a conductor film 4 to improve the alignment of aluminum is deposited on the conductor film 3b without etching back the conductor film 3b, a main conductor film 5 composed of aluminum or the like is deposited thereon. Thereafter, a conductive film 6 is also deposited thereon. Subsequently, these conductor films 3a, 3b and 6 and main conductor film 5 are patterned to form first layer wiring L1.

1:ウエハ  
2:絶縁膜  
3a, 3b:導体膜(第1導体膜)  
4:導体膜(第2導体膜)  
5:主導体膜CNT1:コンタクトホール(孔)  
L1:配線

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-282703

(P2003-282703A)

(43) 公開日 平成15年10月3日 (2003.10.3)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テームコード(参考)

H 0 1 L 21/768

H 0 1 L 21/28

E 4 M 1 0 4

21/28

21/90

A 5 F 0 3 3

21/8238

27/08

3 2 1 F 5 F 0 4 8

27/092

審査請求 未請求 請求項の数24 O L (全 14 頁)

(21) 出願番号 特願2002-86566(P2002-86566)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22) 出願日 平成14年3月26日 (2002.3.26)

(72) 発明者 伊藤 文俊

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72) 発明者 奥山 幸祐

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

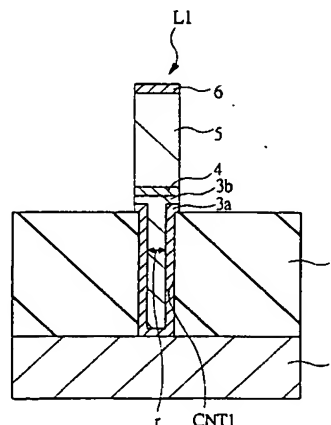
(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】 半導体装置の配線形成工程を簡略化する。

【解決手段】 絶縁膜2にコンタクトホールCNT1を形成した後、導体膜3a、3bを下層から順に堆積してコンタクトホールCNT1を埋め込む。続いて、導体膜3bをエッチバックすることなく、導体膜3b上に、アルミニウムの配向性を向上させる導体膜4を堆積した後、その上にアルミニウム等からなる主導体膜5を堆積し、さらにその上に導体膜6を堆積する。その後、これら導体膜3a、3b、6および主導体膜5をパターニングすることで第1層配線L1を形成する。

図5



1: ウエハ  
2: 絶縁膜  
3a, 3b: 導体膜(第1導体膜)  
4: 導体膜(第2導体膜)  
5: 主導体膜

CNT1: コンタクトホール(孔)  
L1: 配線

## 【特許請求の範囲】

【請求項 1】 以下の工程を有することを特徴とする半導体装置の製造方法；

(a) 半導体基板上に絶縁膜を堆積する工程、(b) 前記絶縁膜に孔を形成する工程、(c) 前記絶縁膜上に、前記孔を埋め込むように配線形成用の第 1 導体膜を堆積する工程、(d) 前記第 1 導体膜上にアルミニウムを主成分とする材料の配向性を向上させる機能を有する配線形成用の第 2 導体膜を堆積する工程、(e) 前記第 2 導体膜上に、アルミニウムを主成分とする配線形成用の主

導体膜を堆積する工程。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、前記 (e) 工程後、前記第 1、第 2 導体膜および主導体膜をエッチングガスを用いたドライエッチング法によりパターニングして配線を形成する工程を有し、前記第 1、第 2 導体膜をエッチングする際の処理室内の圧力と、前記主導体膜をエッチングする際の処理室内の圧力とが異なることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 2 記載の半導体装置の製造方法において、前記主導体膜のエッチング処理においては、主導体膜のエッチング作用と、主導体膜の側壁に保護膜を堆積する作用との両方が生じるような条件で行うことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1、2 または 3 記載の半導体装置の製造方法において、前記孔の直径を前記第 1 導体膜の膜厚の 2 倍または 2 倍より小さくしたことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1～4 のいずれか 1 項に記載の半導体装置の製造方法において、前記第 1 導体膜は、チタン膜、窒化チタン膜またはこれらの積層膜と、タングステン膜との積層膜からなることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1～4 のいずれか 1 項に記載の半導体装置の製造方法において、前記第 1 導体膜は、チタン膜、窒化チタン膜またはこれらの積層膜からなることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1～6 のいずれか 1 項に記載の半導体装置の製造方法において、前記第 2 導体膜は、チタン膜、窒化チタン膜またはこれらの積層膜からなることを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1～7 のいずれか 1 項に記載の半導体装置の製造方法において、前記絶縁膜は、誘電率が 4.0 よりも低い低誘電率膜を有することを特徴とする半導体装置の製造方法。

【請求項 9】 以下の工程を有することを特徴とする半導体装置の製造方法；

(a) 半導体基板上に絶縁膜を堆積する工程、(b) 前記絶縁膜に孔を形成する工程、(c) 前記絶縁膜に前記孔と連通する配線溝を形成する工程、(d) 前記配線溝

内を含む絶縁膜上に、銅の拡散を抑制または防止する機能を有する配線形成用の第 1 導体膜を、前記孔を埋め込むように堆積する工程、(e) 前記第 1 導体膜上に銅を主成分とする主導体膜を堆積する工程、(f) 前記絶縁膜上の前記主導体膜および第 1 導体膜を研磨することにより配線溝および孔内に配線を形成する工程。

【請求項 10】 請求項 9 記載の半導体装置の製造方法において、前記孔の直径を前記第 1 導体膜の膜厚の 2 倍または 2 倍より小さくしたことを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 9 または 10 記載の半導体装置の製造方法において、前記第 1 導体膜は、タンタル膜、窒化タンタル膜または窒化チタン膜もしくはこれらの膜から選択された 2 種以上の膜の積層膜と、タングステン膜との積層膜からなることを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 9 または 10 記載の半導体装置の製造方法において、前記第 1 導体膜は、タンタル膜、窒化タンタル膜または窒化チタン膜もしくはこれらの膜から選択された 2 種以上の膜の積層膜からなることを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 9～12 のいずれか 1 項に記載の半導体装置の製造方法において、前記絶縁膜は、誘電率が 4.0 よりも低い低誘電率膜を有することを特徴とする半導体装置の製造方法。

【請求項 14】 (a) 半導体基板上に堆積された絶縁膜、(b) 前記絶縁膜に開口された孔、(c) 前記絶縁膜上に形成され、前記孔を通じて他の層と電気的に接続された配線を有し、前記配線は、(c1) 前記絶縁膜上に、前記孔を埋め込むように堆積された第 1 導体膜、(c2) 前記第 1 導体膜上に堆積された導体膜であって、アルミニウムを主成分とする材料の配向性を向上させる機能を有する第 2 導体膜、(c3) 前記第 2 導体膜上に堆積された導体膜であって、アルミニウムを主成分とする主導体膜を有することを特徴とする半導体装置。

【請求項 15】 請求項 14 記載の半導体装置において、前記孔の直径が前記第 1 導体膜の膜厚の 2 倍または 2 倍より小さいことを特徴とする半導体装置。

【請求項 16】 請求項 14 または 15 記載の半導体装置において、前記第 1 導体膜は、チタン膜、窒化チタン膜またはこれらの積層膜と、タングステン膜との積層膜からなることを特徴とする半導体装置。

【請求項 17】 請求項 14 または 15 記載の半導体装置において、前記第 1 導体膜は、チタン膜、窒化チタン膜またはこれらの積層膜からなることを特徴とする半導体装置。

【請求項 18】 請求項 14～17 のいずれか 1 項に記載の半導体装置において、前記第 2 導体膜は、チタン膜、窒化チタン膜またはこれらの積層膜からなることを特徴とする半導体装置。

【請求項 19】 請求項 14～18 のいずれか 1 項に記載の半導体装置において、前記絶縁膜は、誘電率が 4.0 よりも低い低誘電率膜を有することを特徴とする半導体装置。

【請求項 20】 (a) 半導体基板上に堆積された絶縁膜、(b) 前記絶縁膜に開口された孔、(c) 前記絶縁膜に前記孔と連通するように開口された配線溝、(d) 前記配線溝および孔内に埋め込まれて形成された配線を有し、前記配線は、(d1) 前記配線溝の内面を覆い、かつ、前記孔を埋め込むように堆積され、銅の拡散を抑制または防止する機能を有する第 1 導体膜、(d2) 前記配線溝内において前記第 1 導体膜上に堆積された銅を主成分とする主導体膜を有することを特徴とする半導体装置。

【請求項 21】 請求項 20 記載の半導体装置において、前記孔の直径が前記第 1 導体膜の膜厚の 2 倍または 2 倍より小さいことを特徴とする半導体装置。

【請求項 22】 請求項 20 または 21 記載の半導体装置において、前記第 1 導体膜は、タンタル膜、窒化タンタル膜または窒化チタン膜もしくはこれらの膜から選択された 2 種以上の膜の積層膜と、タングステン膜との積層膜からなることを特徴とする半導体装置。

【請求項 23】 請求項 20 または 21 記載の半導体装置において、前記第 1 導体膜は、タンタル膜、窒化タンタル膜または窒化チタン膜もしくはこれらの膜から選択された 2 種以上の膜の積層膜からなることを特徴とする半導体装置。

【請求項 24】 請求項 20～23 のいずれか 1 項に記載の半導体装置において、前記絶縁膜は、誘電率が 4.0 よりも低い低誘電率膜を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法および半導体装置技術に関し、特に、半導体装置の配線技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】 半導体装置の微細化・高集積化に伴って必要とされる配線総数は年々増加し、高度なプロセス技術が用いられるようになってきている。特に、上下の導電層を接続するビアの形成プロセスでは、世代ごとにビア径や間隔が縮小されるためアスペクト比が増加し、新しい技術が取り入れられてきている。このアスペクト比の増大により、(1)ビア内にアルミニウム (Al) を埋め込むことが困難になりつつあること、(2)露光マージンを確保するため配線部分の平坦性が要求されつつあること、(3)面積縮小のため下層のビア上に上層のビアを配置するスタックトビア (Stacked-Via) が必須になりつつあること等の理由により、タングステン (W) でビアを完全に埋め込む技術が使われている。成膜方法とし

ては、ビア内部にのみタングステンを選択成長させる「W 選択 CVD (Chemical Vapor Deposition) 方式」や、全面 W-CVD 成膜後に不要な部分をエッチバックにより取り除く「エッチバック方式」が用いられている。いずれの場合も、CVD 技術は表面反応を利用した方法であるため、アスペクト比の大きい場合であっても、ビア内に確実に膜を形成することが可能である。

【0003】 発明者が検討した上記エッチバック方式は、例えば次の通りである。まず、基板上に層間絶縁膜を成膜し、開口部を形成する。次に、その開口部の内面を含む全面にチタン (Ti) / 窒化チタン (TiN) の積層もしくは単層をスパッタリング法により形成した後、例えば原料ガスとして六フッ化タングステン (WF<sub>6</sub>) やシラン (SiH<sub>4</sub>)、水素ガス (H<sub>2</sub>) を用いた CVD 法により、タングステン膜を形成すると、ビア内部を含む全面がタングステン膜に覆われた形状となる。その後、例えば六フッ化硫黄 (SF<sub>6</sub>) 等のフッ素系ガスと塩素 (Cl<sub>2</sub>) 等の塩素系ガスをを用いて、下地の窒化チタン膜とのエッチング選択性をとりながら全面エッチバックを行うと、ビアの内部にタングステン膜を残したままの状態のエッチングを終了することが可能となる。続いて、配線層として、例えばチタン膜 / アルミニウム膜 / チタン膜 / 窒化チタン膜を成膜して上部配線を形成する。それぞれの膜厚は、ビア径が、例えば 0.25 μm 程度の場合、タングステン膜の厚さは、おおよそ 500 nm 以下、窒化チタン膜の厚さは、例えば 150 nm 以下、アルミニウム膜の厚さは、例えば 600 nm 以下である。

【0004】 上記エッチバック方式では、下地の窒化チタン膜とタングステン膜とのエッチング選択性を確保することによりビアの内部にタングステン膜を残すことが可能であるが、オーバーエッチング等が起きると、ビア上部のタングステン膜部分がエッチングされる結果、ビア内のタングステン膜の上面が窒化チタン膜の上面よりも低くなり、ビア上面に窪み (リセス) が生じてしまう。このリセスは、ビア上に堆積される配線に影響を与えるため、W-CVD 後に化学機械研磨 (CMP; Chemical Mechanical Polishing) にてタングステン膜の除去を行う「W-CMP 方式」が用いられている。本発明者が検討した W-CMP 方式は、例えば次の通りである。タングステンの成膜プロセスまでは、上記エッチバック方式と同様であるが、タングステン膜の除去工程の W-CMP 時には、タングステン膜の下地の窒化チタン膜をも非選択的に除去してしまう。すなわち、この段階では、ビア内のみにチタン膜、窒化チタン膜およびタングステン膜が残されるようになる。その後、配線層として、例えばチタン膜 / アルミニウム膜 / チタン膜 / 窒化チタン膜を成膜し、パターニングして上部配線を形成する。

【0005】 なお、半導体装置の配線技術については、例えば特開平 6-318594 号公報に開示があり、層

間絶縁膜の上面およびその層間絶縁膜に形成されたビアホール内にTiN膜を堆積した後、ビアホール内および層間絶縁膜上のTiN膜上にプラズマCVD法によってW膜を堆積することにより、その上に形成されるCu配線のバリア膜にする技術が開示されている。

【0006】また、例えば特開平9-237768号公報には、層間絶縁膜の上面およびその層間絶縁膜に形成されたビアホール内にTiN膜を堆積した後、ビアホール内および層間絶縁膜上のTiN膜上にプラズマCVD法によってW膜を堆積し、さらにその上にアルミニウムまたは銅からなる配線層を形成する技術が開示されている。

【0007】

【発明が解決しようとする課題】上記のように配線の平坦性の観点からはW-CMP方式が採用されているが、以下の課題があることを本発明者は見出した。

【0008】すなわち、W-CMP方式は、タングステンを研磨する工程があり半導体装置の製造に時間がかかる。また、(1)スラリー、研磨パッド等のような消耗品が多い、(2)新しいプロセスであるため装置価格等が高い等、工程別のコストはエッチバック方式よりも1.5～2倍程度高くなってしまふ。特に、近年の半導体装置群では配線層数が3～5層もしくはそれ以上と多く、配線工程がウエハコストに占める割合は50%を超える製品も珍しくない。今後も配線層数は増加してビア形成工程も増加することから、コストが増加することが懸念される。

【0009】本発明の目的は、半導体装置の製造工程を簡略化することのできる技術を提供することにある。

【0010】また、本発明の目的は、半導体装置のコストを低減することのできる技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】すなわち、本発明は、絶縁膜に孔を形成する工程、前記孔内を含む絶縁膜上に第1厚さの第1導体膜を前記孔上の第1導体膜の上面と前記絶縁膜上の第1導体膜の上面とがほぼ一致するように堆積することにより、前記孔を第1導体膜で埋め込む工程、前記第1導体膜を除去することなく、その上に前記第1厚さよりも厚い第2厚さを有する主導体膜を堆積する工程、前記第1導体膜および主導体膜をパターニングすることにより配線を形成する工程を有するものである。

【0014】また、本発明は、前記主導体膜の下地として、前記主導体膜の配向性を向上させるような第2導体膜を堆積する工程を有するものである。

【0015】また、本発明は、絶縁膜に孔を形成する工程、前記絶縁膜に前記孔と一体とされる配線溝を形成する工程、前記孔および配線溝を含む絶縁膜上に第1厚さを有する第1導体膜を前記孔上の第1導体膜上面と前記孔の周辺の絶縁膜上の第1導体膜上面とがほぼ一致するように堆積することにより、前記孔を第1導体膜で埋め込む工程、前記第1導体膜を除去することなく、その上に前記第1厚さよりも厚い第2厚さを有する主導体膜を堆積する工程、前記第1導体膜および主導体膜を研磨することにより配線を形成する工程を有するものである。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、実施の形態においては、pチャネル型のMIS・FET (Metal Insulator Semiconductor Field Effect Transistor) をpMISと略し、nチャネル型のMIS・FETをnMISと略す。MOS・FET (Metal Oxide Semiconductor FET) は、MISの下位概念として含む。

【0017】(実施の形態1) 本実施の形態1の半導体装置の製造方法の一例を図1～図5により説明する。なお、図1～図5は、その半導体装置の製造工程中における要部断面図である。

【0018】まず、図1に示すように、例えば所望の導電型の単結晶シリコン(Si)等からなるウエハ(平面略円形状の半導体薄基板)1上に、例えば酸化シリコン膜(SiO<sub>2</sub>等)等からなる絶縁膜2をCVD法等によって堆積する。絶縁膜2は、単体膜でも積層膜でも良いし、例えば有機ポリマーまたは有機シリカガラス等のような誘電率が4.0以下の低誘電率膜(いわゆるLow-K絶縁膜、Low-K材料)でも良い。この有機ポリマーには、例えばSiLK(米The Dow Chemical Co製、比誘電率=2.7、耐熱温度=490℃以上、絶縁破壊耐圧=4.0～5.0MV/Vm)またはポリアリルエーテル(PAE)系材料のFLARE(米Honeywell Electronic Materials製、比誘電率=2.8、耐熱温度=400℃以上)がある。このPAE系材料は、基本性能が高く、機械的強度、熱的安定性および低コスト性に優れるという特徴を有している。上記有機シリカガラス(SiOC系材料)には、例えばHSG-R7(日立化成工業製、比誘電率=2.8、耐熱温度=650℃)、Black Diamond(米Applied Materials, Inc製、比誘電率=3.0～2.4、耐熱温度=450℃)またはp-MTES(日立開発製、比誘電率=

3. 2) がある。この他の SiOC 系材料には、例えば CORAL (米 Novellus Systems, Inc 製、比誘電率 = 2.7 ~ 2.4、耐熱温度 = 500℃)、Aurora 2.7 (日本エー・エス・エム社製、比誘電率 = 2.7、耐熱温度 = 450℃) がある。また、この他の低誘電率材料として、例えば FSG (SiOF 系材料)、HSQ (hydrogen silsesquioxane) 系材料、MSQ (methyl silsesquioxane) 系材料、ポーラス HSQ 系材料、ポーラス MSQ 材料またはポーラス有機系材料を用いることもできる。上記 HSQ 系材料には、例えば OCD T-12 (東京応化工業製、比誘電率 = 3.4 ~ 2.9、耐熱温度 = 450℃)、FOX (米 Dow Corning Corp. 製、比誘電率 = 2.9) または OCLT-32 (東京応化工業製、比誘電率 = 2.5、耐熱温度 = 450℃) 等がある。上記 MSQ 系材料には、例えば OCD T-9 (東京応化工業製、比誘電率 = 2.7、耐熱温度 = 600℃)、LKD-T200 (JSR 製、比誘電率 = 2.7 ~ 2.5、耐熱温度 = 450℃)、HOSP (米 Honeywell Electronic Materials 製、比誘電率 = 2.5、耐熱温度 = 550℃)、HSG-RZ25 (日立化成工業製、比誘電率 = 2.5、耐熱温度 = 650℃)、OCLT-31 (東京応化工業製、比誘電率 = 2.3、耐熱温度 = 500℃) または LKD-T400 (JSR 製、比誘電率 = 2.2 ~ 2.0、耐熱温度 = 450℃) 等がある。上記ポーラス HSQ 系材料には、例えば XLK (米 Dow Corning Corp. 製、比誘電率 = 2.5 ~ 2.2)、OCLT-72 (東京応化工業製、比誘電率 = 2.2 ~ 1.9、耐熱温度 = 450℃)、Nanogl ass (米 Honeywell Electronic Materials 製、比誘電率 = 2.2 ~ 1.8、耐熱温度 = 500℃以上) または Mes o ELK (米 Air Products and Chemicals, Inc. 比誘電率 = 2 以下) がある。上記ポーラス MSQ 系材料には、例えば HSG-6211X (日立化成工業製、比誘電率 = 2.4、耐熱温度 = 650℃)、ALCAP-S (旭化成工業製、比誘電率 = 2.3 ~ 1.8、耐熱温度 = 450℃)、OCLT-77 (東京応化工業製、比誘電率 = 2.2 ~ 1.9、耐熱温度 = 600℃)、HSG-6210X (日立化成工業製、比誘電率 = 2.1、耐熱温度 = 650℃) または silica aerogel (神戸製鋼所製、比誘電率 1.4 ~ 1.1) 等がある。上記ポーラス有機系材料には、例えば Poly ELK (米 Air Products and Chemicals, Inc. 比誘電率 = 2 以下、耐熱温度 = 490℃) 等がある。上記 SiOC 系材料、SiOF 系材料は、例えば CVD 法 (Chemical Vapor Deposition) によって形成されている。例えば上記 Black Diamond は、トリメチルシランと酸素との混合ガスを用いた CVD 法等によって形成される。また、上記 p-MTFES は、例えばメチルトリエトキシシランと N<sub>2</sub>O との混合ガスを用いた CVD 法等によって形成される。それ以外の上記 Low-K 絶縁

膜は、例えば塗布法で形成されている。

【0019】続いて、その絶縁膜 2 にウエハ 1 の主面 (デバイス形成面) の一部が露出されるような平面略円形状のコンタクトホール (孔) CNT1 をフォトリソグラフィ技術およびドライエッチング技術によって形成する。コンタクトホール CNT1 の直径は、後述の配線における下地導体膜によって完全に埋め込まれるような寸法にされており、例えば 250 nm 以下、好ましくは 200 nm 以下、ここでは、例えば 200 nm 程度とされている。その後、図 2 に示すように、ウエハ 1 の主面上に導体膜 (第 1 導体膜) 3a を堆積する。この導体膜 3a は、各種金属原子や半導体原子が移動するのを抑制または阻止するためのバリア機能、配線の主導体膜と絶縁膜 2 およびウエハ 1 との接着性を向上させる機能、導体膜 3a 上に導体膜を CVD 法により成長させる際にその成長を良好にさせる下地膜としての機能、エレクトロマイグレーション耐性やストレスマイグレーション耐性を向上させる機能等のような種々の機能を有する下地導体膜である。この導体膜 3a は、絶縁膜 2 上に堆積されているとともに、コンタクトホール CNT1 を完全に埋め込むことなくコンタクトホール CNT1 の内面 (内壁面および底面) に被着されている。このような導体膜 3a の厚さは、例えば数十 ~ 50 nm 程度である。また、この導体膜 3a は、例えばチタン (Ti) 膜等のような高融点金属膜上に窒化チタン (TiN) 等のような高融点金属窒化膜が積層された構造を有しており、例えばマグネトロンスパッタリング法、有機系チタンガスをを用いた CVD 法または TiCl<sub>4</sub> 等のような無機系チタンガスをを用いた CVD 法によって堆積されている。ただし、第 1 下地金属膜 3a は、チタン膜または窒化チタン膜の単体膜でも良い。窒化チタンは、熱的安定性が高い上、リン (P) やホウ素 (B) を透過させない等、安定性に優れている。また、導体膜 3a の他の材料として、チタンタングステン (TiW) 等のような高融点金属またはモリブデンシリサイド (MoSix) 等のような高融点金属シリサイドを用いても良い。チタンタングstenは、膜自体の抵抗率が窒化チタンよりも低い上、導体膜 3a 上に堆積される後述の導体膜としてタングstenを選択した場合に、導体膜中にタングstenが含まれることから、導体膜 3a の下層の導体膜をエッチングする時に、導体膜 3a をエッチングする時の条件を変えずにエッチングできる。また、モリブデンシリサイドは、アルミニウムと反応して安定化する効果がある。

【0020】次いで、図 3 に示すように、ウエハ 1 の主面上に導体膜 (第 1 導体膜) 3b を CVD 法等によって堆積する。この導体膜 3b は、コンタクトホール CNT1 を完全に埋め込むための下地導体膜であり、絶縁膜 2 上の導体膜 3a 上に堆積されているとともに、コンタクトホール CNT1 の直上の導体膜 3b の上面が絶縁膜 2 上の導体膜 3b の上面とほぼ一致するようにコンタクト

ホールCNT1内に埋め込まれている。すなわち、導体膜3bは、コンタクトホールCNT1内に埋め込まれ、コンタクトホールCNT1上の導体膜3bの平面位置が絶縁膜2上の導体膜3bの平面位置とほぼ一致するように形成されている。このような埋め込み構造とするために導体膜3bの厚さは、導体膜3bの堆積直前のコンタクトホールCNT1の直径rの半分またはそれ以上とされている。例えば直径rが100nm程度とした場合、導体膜3bの厚さは、例えば50nm程度とされる。このような導体膜3bは、例えばタングステン(W)等からなり、例えば六フッ化タングステンガス(WF<sub>6</sub>)、シランガス(SiH<sub>4</sub>)および水素ガス(H<sub>2</sub>)の混合ガスをを用いたCVD法によって形成されている。導体膜3bの材料として、CVD法で形成されたアルミニウム(Al)を用いても良い。

【0021】次いで、上記導体膜3bに対してエッチバック処理を施すことなく、図4に示すように、ウエハ1上の導体膜3b上に、例えばチタン膜または窒化チタン膜の少なくとも一方を含む導体膜(第2導体膜)4をスパッタリング法またはCVD法によって堆積する。この導体膜4は、この上に堆積されるアルミニウム系の主導体膜の配向性(結晶面の方向の揃い方)を向上させる機能を有している。導体膜4の厚さは、例えば50nm程度である。清浄な面を得る上ではガスをを用いないスパッタリング法により導体膜4を形成することが好ましい。続いて、ウエハ1上の導体膜4上に、例えばアルミニウム、アルミニウム-銅(銅)合金またはアルミニウム-シリコン-銅合金等のようなアルミニウム系材料からなる主導体膜5をスパッタリング法等によって堆積する。ここでは、主導体膜5の下地に導体膜4を形成したことにより、主導体膜5の配向性(アルミニウムの場合、<111>方向の揃い方)を向上させることができる。このため、主導体膜5のエレクトロマイグレーション耐性やストレスマイグレーション耐性を向上させることが可能となる。このため、配線の微細化を推進できる。主導体膜5の厚さは、例えば300nm程度である。その後、ウエハ1上の主導体膜5上に、例えばチタン膜または窒化チタン膜の少なくとも一方を含む導体膜6をスパッタリング法またはCVD法によって堆積する。この導体膜6は、導体膜6上にフォトリソパターン(以下、レジストパターンという)を形成する際に露光光の散乱を低減または防止する反射防止機能、各種金属原子が移動するのを抑制または阻止するためのバリア機能、配線の主導体膜5と絶縁膜との接着性を向上させる機能、エレクトロマイグレーション耐性やストレスマイグレーション耐性を向上させる機能等のような種々の機能を有している。導体膜6の厚さは、例えば50nm程度である。この導体膜6の材料は、上記導体膜3aと同一の構造および材料とすることができる。

【0022】次いで、導体膜6上に配線形成用のレジス

トパターン7を形成した後、これをエッチングマスクとして、そこから露出する導体膜6、主導体膜5、導体膜4、導体膜3a、3bをエッチングする。ここでは、例えば次のような第1、第2ステップでエッチング処理を施す。第1ステップでは、例えばBCl<sub>3</sub>、Cl<sub>2</sub>およびCH<sub>4</sub>のような塩素系のガスをを用いた異方性のドライエッチング(例えばRIE; Reactive Ion Etching)処理を施すことにより、導体膜6および主導体膜5をエッチングする。このエッチング処理に際しては、レジストパターン7、導体膜6および主導体膜5の側壁に側壁保護膜を形成する。ここでは、主としてレジストパターン7のエッチング生成物が導体膜6および主導体膜5の加工側壁に重合して吸着し、側壁保護膜を形成する。これにより、エッチング処理中において、導体膜6および主導体膜5の加工側壁を中性のエッチング種やわずかなイオン衝撃等から保護できるので、アンダーカットの発生を抑制または防止でき、垂直エッチングを達成することができる。この結果、導体膜6および主導体膜5の加工精度を向上させることが可能となる。続く、第2ステップでは、エッチング時の圧力を変化させてそれ以降の導体膜4、導体膜3a、3bをエッチングする。ここでは、圧力を上げることにより、エッチング性を向上させるとともに、側壁保護膜のデボ性を減らす。この第2ステップのエッチング処理において、主導体膜5の下層の導体膜4および導体膜3a、3bの総厚は薄いので、主導体膜5の側壁までエッチングされることはない。また、第2ステップにおいて、六フッ化硫黄(SF<sub>6</sub>)等のようなフッ素系ガスを添加しても良い。導体膜6および主導体膜5の側壁は、上記側壁保護膜により守られているので、フッ素系のガスを添加してもエッチングされることはない。以上のようなエッチング処理後、例えば酸素ガス(O<sub>2</sub>)およびフッ素を含むガスの混合ガスをを用いたプラズマアッシング処理をウエハ1に施すことにより、レジストパターン7および上記側壁保護膜をアッシング除去する。これにより、図5に示すように第1層配線L1を形成する。第1層配線L1の幅および隣接間隔は、例えば0.2μm程度である。このように、第1層配線L1は、コンタクトホールCNT1の内面(内壁面および底面)に被着された導体膜3aと、絶縁膜2上に形成されるとともにコンタクトホールCNT1上の平面位置が絶縁膜2上の平面位置とほぼ一致するようにコンタクトホールCNT1内に埋め込まれた導体膜3bと、導体膜3b上に形成されたアルミニウム系の主導体膜の配向性(結晶面の方向の揃い方)を向上させる機能を有する導体膜4と、導体膜4上に形成されたアルミニウム系の主導体膜5と、主導体膜5上に形成された導体膜6とを有している。

【0023】図6および図7は、本発明者が検討した配線構造を比較のために示したウエハ50の要部断面図である。図6に示すように、ウエハ50の主面上の絶縁膜



51には、例えば0.35 $\mu$ mの直径のコンタクトホール52が形成されている。絶縁膜51上には、配線形成用の導体膜53a~53c、主導体膜53d、導体膜53eが堆積されている。導体膜53a、53eは、例えばチタン膜上に窒化チタン膜が堆積されてなり、導体膜53cは、例えば窒化チタン膜からなり、導体膜53bは、例えばタングステンからなる。主導体膜53dは、例えばアルミニウム系の材料からなる。配線幅を0.35 $\mu$ m、配線のアスペクト比を2（高さ=700nm）とすると、必要とされる導体膜53bの厚さは、理想的には、例えば175nm程度である。各部の窒化チタン膜の厚さをそれぞれ75nm程度とすると、主導体膜53dの下層の導体膜53a~53cが配線の厚さ方向の半分を占めることになり、配線抵抗が高くなるだけでなく、配線下部においてエッチングの難しい高融点金属膜が厚くなる。このため、この導体膜53a~53cのエッチング中に、図7に示すように、主導体膜53dの側壁部もエッチングされてしまう問題が生じる。

【0024】これに対して、本実施の形態1においては、図1~図5で説明したように、コンタクトホールCNT1の直径を微細化したことにより、導体膜3a、3bに必要とされる膜厚を薄くすることができ、エッチングが難しい高融点金属膜の膜厚を薄くできるので、主導体膜5の側壁をエッチング除去してしまうことなく、導体膜3a、3bをエッチングすることができる。したがって、良好な断面形状の第1層配線L1を得ることができる。また、本実施の形態1では、配線形成時に導体膜3bのエッチバック工程や導体膜3a、3bの化学機械研磨（CMP；Chemical Mechanical Polishing）による研磨工程を削減できる。このため、半導体装置の製造時間を短縮できる。また、半導体装置の製造コストを低減できる。

【0025】ただし、前記実施の形態1では、コンタクトホールCNTに適用した場合について説明したが、これに限定されるものではなく、異なる配線層間を接続するスルーホールに適用することもできる。なお、異なる配線層間を接続するスルーホールに適用した例は、例えば後述の実施の形態2の図14を用いて例示する。

【0026】（実施の形態2）本実施の形態2においては、孔の直径を前記実施の形態1よりも小さくした場合について説明する。

【0027】図8~図11は、その半導体装置の製造工程中における要部断面図である。まず、図8に示すように、絶縁膜2にウエハ1の主面（デバイス形成面）の一部が露出されるような平面略円形状のコンタクトホール（孔）CNT2を前記実施の形態1と同様に形成する。このコンタクトホールCNT2の直径は、複数種類の下地導体膜で埋め込むことができない程度の小さな寸法にされており、例えば100nm以下、好ましくは100nm以下、ここでは、例えば100nm程度とされてい

る。続いて、図9に示すように、ウエハ1の主面上に、前記実施の形態1と同様の導体膜3aを堆積する。本実施の形態2では、コンタクトホールCNT2が、導体膜3aのみで完全に埋め込まれている。すなわち、導体膜3aは、コンタクトホールCNT2内に埋め込まれ、かつコンタクトホールCNT2の直上の導体膜3aの上面が絶縁膜2上の導体膜3aの上面とほぼ一致するように堆積されている。このような埋め込み構造とするために導体膜3aの厚さは、コンタクトホールCNT2の直径の半分またはそれ以上とされている。コンタクトホールCNT2の直径が100nm程度とした場合、導体膜3aの厚さは、例えば50nm程度とされる。その後、図10に示すように、前記導体膜4、前記主導体膜5および前記導体膜6を下層から順に前記実施の形態1と同様に堆積した後、導体膜6上に前記レジストパターン7を形成する。その後、レジストパターン7から露出する導体膜6、主導体膜5、導体膜4および導体膜3aを、前記実施の形態1と同様にエッチングすることにより、図11に示すように、第1層配線L1を形成する。すなわち、第1層配線L1は、絶縁膜2上に形成されるとともにコンタクトホールCNT1上の平面位置が絶縁膜2上の平面位置とほぼ一致するようにコンタクトホールCNT1内に埋め込まれた導体膜3bと、導体膜3b上に形成されたアルミニウム系の主導体膜の配向性（結晶面の方向の揃い方）を向上させる機能を有する導体膜4と、導体膜4上に形成されたアルミニウム系の主導体膜5と、主導体膜5上に形成された導体膜6とを有している。

【0028】本実施の形態2の構造では導体膜4を無くしても良い。すなわち、上記図9で説明した工程の後、図12に示すように、アルミニウム系の主導体膜の配向性（結晶面の方向の揃い方）を向上させる機能を有する窒化チタン膜からなる導体膜3a上に主導体膜5を直接堆積しても良い。その後、前記実施の形態1と同様に、導体膜6、主導体膜5および導体膜3aをエッチング処理によってパターンニングすることにより、図13に示すように、第1層配線L1を形成する。

【0029】また、本実施の形態2の場合、前記実施の形態1に比べて導体膜3bが無い分、コンタクトホールCNT2での抵抗値が上昇してしまう場合がある。しかし、DRAM等、コンタクトホールまたはスルーホールでの抵抗が比較的高くても動作する回路や遅延時間に余裕がある回路等には使用することが可能である。また、複数のコンタクトホールCNT2を並べて配置し、これを1つの配線（第1層配線L1）と電気的に接続することにより、コンタクトホールでの抵抗を下げるができる。さらに、本実施の形態2も、下記のように異なる配線層間を接続するスルーホールに適用することもできる。

【0030】次に、図14は、本実施の形態2を適用し



た半導体装置の一例の製造工程における要部断面図を示している。ここでは、CMIS (Complementary MIS) 回路を有する半導体装置を例示する。ウエハ1は、例えば1~10Ωcm程度の比抵抗を有するp型のシリコン(Si)単結晶からなり、その主面(デバイス面)には、溝形の分離部(SGI (Shallow Groove Isolation) またはSTI (Shallow Trench Isolation)) 8が選択的に形成されている。分離部8を、例えばLOCOS (Local Oxidization of Silicon) 法で形成しても良い。また、ウエハ1には、その主面からウエハ1の所定の深さに及ぶp型ウエルPWLおよびn型ウエルNWLが選択的に形成されている。p型ウエルPWLには、例えばホウ素が導入され、n型ウエルNWLには、例えばリンが導入されている。そして、このp型ウエルPWLおよびn型ウエルNWLの領域において上記分離部5に囲まれた活性領域には、nMISQnおよびpMISQpが形成されている。また、ウエハ1の主面上には、絶縁膜2a~2jおよび絶縁膜9a~9gが堆積されている。絶縁膜2a~2jは、前記絶縁膜2と同様の材料および構造を有している。また、絶縁膜9a~9gは、例えば窒化シリコン膜等からなる。本実施の形態2の配線構造は、第1層配線L1および第2層配線L2に適用されている。第1層配線L1は、コンタクトホールCNT2内の導体膜3aを通じてnMISQnおよびpMISQpのソースおよびドレイン用の半導体領域10、11と電気的に接続されている。第2層配線L2は、スルーホール(孔)TH1内の導体膜3aを通じて第1層配線L1と電気的に接続されている。第2層配線L2は、第1層配線L1と同様の材料および構造を有している。すなわち、第2層配線L2は、絶縁膜2c上に形成されるとともにスルーホール(孔)TH1上の平面位置が絶縁膜2c上の平面位置とほぼ一致するようにスルーホール(孔)TH1上に埋め込まれた導体膜3aと、導体膜3a上に形成されたアルミニウム系の主導体膜の配向性(結晶面の方向の揃い方)を向上させる機能を有する導体膜4と、導体膜4膜上に形成されたアルミニウム系の主導体膜5と、主導体膜5上に形成された導体膜6とを有している。また、特に限定されないがスルーホール(孔)TH1の口径は、コンタクトホールCNT2の口径と実質的に等しく構成される。第3層配線L3、第4層配線L4および第5層配線L5は、一般的なデュアルダマシン法によって形成されている。すなわち、第3層配線L3、第4層配線L4および第5層配線L5は、配線開口部(すなわち、平面矩形状の配線溝12およびその配線溝12の底面から延び下層の配線の上面の一部が露出されるように形成された平面円形状のスルーホールTH2)内に、相対的に薄い導体膜13aと、その導体膜13aによって周囲が取り囲まれるように形成された銅(Cu)からなる主導体膜14とが埋め込まれることで形成されている。導体膜13aは、主導体膜14の銅が

拡散するのを抑制または防止する機能、主導体膜14と絶縁膜との接着性を向上させる機能等を有しており、例えば窒化チタン(TiN)、タンタル(Ta)または窒化タンタル(TaN)等からなる。タンタルは、銅の拡散を抑制する能力が最も高く、窒化タンタルに比べて低抵抗にできる。窒化チタンは、絶縁膜との接着性を高める能力が最も高い。導体膜13aは単層膜に限らず、後述する実施の形態3に示すようにそれらを積層した積層導体膜で構成しても良い。また、スルーホール(孔)TH2の口径は、スルーホール(孔)TH1の口径よりも大きく構成される。第1層配線L1および第2層配線L2を前記実施の形態1の配線構造としても良い。また、第1層配線L1を本実施の形態2の配線構造とし、第2層配線L2を前記実施の形態1の配線構造としても良い。また、第3、4、5層配線L3、L4、L5を一般的な配線構造としても良い。すなわち、第3、4、5層配線L3、L4、L5を、一般的な、W-CMP方式のタングステン(W)ビアと、アルミニウムからなる配線層とで構成された配線構造としても良いし、またデュアルダマシン法で構成された配線構造としても良い。

【0031】本実施の形態2では、隣接配線間隔が狭く配線幅およびコンタクトホールCNT2の口径が小さい下層配線(L1、L2)を本実施の形態2または前記実施の形態1の配線構造とし、隣接配線間隔が広く配線幅およびスルーホールTH2の口径が大きい上層配線(L3、L4、L5)を一般的な配線構造としている。これにより、下層配線の隣接間隔を狭くして集積度の向上を図る一方、電源等の大電流を流す上層配線の隣接間隔を広く、また、配線幅を太くしスルーホール抵抗を低減して全体の遅延時間の短縮を図ることができ、かつ半導体装置の製造コストを低減できる。

【0032】(実施の形態3) 本実施の形態3においては、配線溝および孔内に金属を同時に埋め込む、いわゆるデュアルダマシン法による配線形成プロセスについて説明する。図15~図18は、デュアルダマシン法による配線形成中の半導体装置の要部断面図である。

【0033】まず、図15に示すように、ウエハ1の主面上に、絶縁膜9h、2k、9i、2m、9jを下層から順にCVD法等によって堆積した後、前記実施の形態1と同様のコンタクトホールCNT1および前記実施の形態2と同様の配線溝12を形成する。絶縁膜9h~9jは、例えば窒化シリコン膜からなる。絶縁膜2k、2mは、前記実施の形態1の絶縁膜2aと同じである。絶縁膜2k、2mをLow-K材料とした場合は、その上部(CMPによって研磨される部分)に酸化シリコン膜からなる絶縁膜を設けても良い。配線溝12とコンタクトホールCNT1とは互いに連通している。続いて、図16に示すように、前記実施の形態2と同様の導体膜(第1導体膜)13aをウエハ1上にマグネトロンスパッタリング法またはCVD法等によって堆積した後、そ

の上に、例えばタングステン、タンタルまたは窒化タンタル等からなる導体膜（第1導体膜）13bをCVD法等によって堆積する。導体膜13a、13bを積層膜で構成し、導体膜13aを絶縁膜との接着性を高める能力が高い膜である例えば窒化チタンとし、導体膜13bを銅の拡散を抑制する能力が高い膜である例えばタンタルとすることで、絶縁膜との接着性と銅の拡散抑制能力とを共に向上させることができる。コンタクトホールCNT1は、前記実施の形態1で説明したのと同様に導体膜13a、13bにより完全に埋め込まれている。すなわち、導体膜13a、13bは、コンタクトホールCNT1を埋め込み、コンタクトホールCNT1上の平面位置が配線溝12の底面上の平面位置とほぼ一致するように配線溝12の側面および底面に形成され、これにより、側面および底面が導体膜13bで覆われた配線溝12が形成される。導体膜13a、13bの厚さは、例えば50nm程度である。その後、図17に示すように、ウエハ1上に主導体膜14を堆積する。主導体膜14は、例えば銅からなる薄いシード層をスパッタリング法によって堆積した後、その上にメッキ法によって厚い銅を堆積することで形成されている。その後、主導体膜14、導体膜13b、13aをCMPにより研磨する。これにより、図18に示すように、配線溝12およびコンタクトホールCNT1内に埋込型の第1層配線L1を形成する。このような本実施の形態3によれば、主導体膜14は実質的に配線溝12のみに埋め込めばよいのでダマシン法による配線の微細化が可能となる。また、銅を用いた配線層を形成することで低抵抗の半導体装置を得ることができる。さらに、配線層に供給可能な電流量を増大できる。

【0034】（実施の形態4）本実施の形態4においては、孔の直径を前記実施の形態3よりも小さくした場合について説明する。

【0035】図19～図22は、その半導体装置の製造工程における要部断面図である。本実施の形態4では、前記実施の形態3のコンタクトホールCNT1に代えて、図19に示すように、前記実施の形態2と同様のコンタクトホールCNT2を形成する。前記実施の形態2と同様の理由から1つの配線に対してコンタクトホールCNT2を複数配置しても良い。続いて、図20に示すように、導体膜13aをCVD法等によって堆積する。コンタクトホールCNT2は、前記実施の形態2と同様に導体膜13aによって完全に埋め込まれている。すなわち、導体膜13aは、コンタクトホールCNT2を埋め込み、コンタクトホールCNT2上の平面位置が配線溝12の底面上の平面位置とほぼ一致するように配線溝12の側面および底面に形成され、これにより、側面および底面が導体膜13aで覆われた配線溝12が形成される。その後、図21に示すように、配線溝12内を含む導体膜13a上に、主導体膜14を前記実施の形

態3と同様に堆積する。その後、主導体膜14および導体膜13aをCMPにより研磨することで、図22に示すように、配線溝12aおよびコンタクトホールCNT2内に埋込型の第1層配線L1を形成する。このような本実施の形態4によれば、前記実施の形態3と同様に主導体膜14は実質的に配線溝12のみに埋め込めばよいのでダマシン法による配線をさらに微細化できる。また、銅を用いた配線層を形成することで低抵抗の半導体装置を得ることができる。さらに、配線層に供給可能な電流量を増大できる。

【0036】次に、本実施の形態4を適用したCMIS回路を有する半導体装置の製造工程における要部断面図の一例を図23に示す。ここでは、本実施の形態4の配線構造が、第1層配線L1に適用されている場合が例示されている。第2層配線L2および第3層配線L3は、一般的なダマシン（デュアルダマシン）法による配線構造とされている。第1層配線L1を前記実施の形態3で説明した配線構造としても良い。なお、スルーホール（孔）TH2の口径は、コンタクトホールCHT2の口径よりも大きく構成される。

【0037】本実施の形態4では、隣接配線間隔が狭く配線幅及びコンタクトホールCNT2の口径が小さい下層配線（L1）を本実施の形態4または前記実施の形態3の配線構造とし、隣接配線間隔が広く配線幅及びスルーホールTH2の口径が大きい上層配線（L2、L3）を一般的なダマシン（デュアルダマシン）法による配線構造としている。これにより、下層配線の隣接間隔を狭くして集積度の向上を図る一方、電源等の大電流を流す上層配線の隣接間隔を広く、また、配線幅を太くしスルーホール抵抗を低減して全体の遅延時間の短縮を図ることができ、かつ半導体装置の製造コストを低減できる。また、ウエハ1に直接接続される第1層配線L1の銅からなる主導体膜14は、コンタクトホールCNT2内には存在しない。すなわち、主導体膜14は、コンタクトホールCNT2の高さ（深さ）分だけウエハ1から離開している。このため、第1層配線L1を銅配線で構成した場合でも、銅の拡散による素子自体の劣化を抑制または防止できるので信頼性が向上し、また、銅を用いた配線層を形成することで低抵抗の半導体装置を得ることができる。

【0038】（実施の形態5）本実施の形態5の配線構造は、図24に示すように、配線溝12内において導体膜13bと主導体膜14との間に導体膜13cが設けられている。この場合、例えば導体膜13aを窒化チタンとし、導体膜13cをタンタル、窒化タンタルまたはそれらの積層膜とすることにより、絶縁膜との接着性と銅の拡散抑制能力とを共に向上させることができる。また、導体膜13bをタングステンとすることにより、コンタクトホールCNT1の埋込性を向上させることができる。もちろん、導体膜13a、13cを、タンタル、

窒化タンタルまたはそれらの積層膜とすることにより、銅の拡散の抑制能力をさらに向上させることもできる。

【0039】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0040】例えば前記実施の形態においては、下層配線に各実施の形態の配線構造を適用した場合について説明したが、これに限定されるものではなく上層配線に各実施の形態の配線構造を適用しても良い。

【0041】また、以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるCMI S回路を有する半導体装置の製造技術に適用した場合について説明したが、それに限定されるものではなく、例えばDRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) またはフラッシュメモリ等のようなメモリ回路を有する半導体装置、マイクロプロセッサ等のような論理回路を有する半導体装置あるいは上記メモリ回路と論理回路とを同一半導体基板に設けている混載型の半導体装置、画像形成装置として利用される液晶ディスプレイ (LCD: Liquid Crystal Display) 等、他の半導体装置の製造技術にも適用できる。

#### 【0042】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0043】すなわち、絶縁膜に孔を形成する工程、前記孔内を含む絶縁膜上に第1厚さを有する第1導体膜を前記孔上の第1導体膜の上面と前記絶縁膜上の第1導体膜の上面とがほぼ一致するように堆積することにより、前記孔を第1導体膜で埋め込む工程、前記第1導体膜を除去することなく、その上に前記第1厚さよりも厚い第2厚さを有する主導体膜を堆積する工程、前記第1導体膜および主導体膜をパターンニングすることにより配線を形成する工程を有することにより、第1導体膜の除去工程を削減できるので、半導体装置の製造工程を簡略化することが可能となる。このため、半導体装置の製造時間を短縮できる。また、半導体装置のコストを低減することが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置の製造工程における要部断面図である。

【図2】図1に続く半導体装置の製造工程中の要部断面図である。

【図3】図2に続く半導体装置の製造工程中の要部断面図である。

【図4】図3に続く半導体装置の製造工程中の要部断面図である。

【図5】図4に続く半導体装置の製造工程中の要部断面

図である。

【図6】本発明者が検討した配線構造を比較のために示したウエハの要部断面図である。

【図7】図6に続く半導体装置の製造工程中のウエハの要部断面図である。

【図8】本発明の他の実施の形態である半導体装置の製造工程における要部断面図である。

【図9】図8に続く半導体装置の製造工程中の要部断面図である。

10 【図10】図9に続く半導体装置の製造工程中の要部断面図である。

【図11】図10に続く半導体装置の製造工程中の要部断面図である。

【図12】本発明のさらに他の実施の形態である半導体装置の製造工程における要部断面図である。

【図13】図12に続く半導体装置の製造工程中の要部断面図である。

【図14】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

20 【図15】本発明のさらに他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図16】図15に続く半導体装置の製造工程中の要部断面図である。

【図17】図16に続く半導体装置の製造工程中の要部断面図である。

【図18】図17に続く半導体装置の製造工程中の要部断面図である。

【図19】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

30 【図20】図19に続く半導体装置の製造工程中の要部断面図である。

【図21】図20に続く半導体装置の製造工程中の要部断面図である。

【図22】図21に続く半導体装置の製造工程中の要部断面図である。

【図23】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図24】本発明のさらに他の実施の形態である半導体装置の製造工程中の要部断面図である。

40 【符号の説明】

1 ウエハ

2 絶縁膜

2a ~ 2k, 2m 絶縁膜

3a 導体膜 (第1導体膜)

3b 導体膜 (第1導体膜)

4 導体膜 (第2導体膜)

5 主導体膜

6 導体膜

7 フォトリソパターン

50 8 分離部

9a~9j 絶縁膜  
 10, 11 半導体領域  
 12 配線溝  
 13a, 13b, 13c 導体膜 (第1導体膜)  
 14 主導体膜  
 50 ウエハ  
 51 絶縁膜  
 52 コンタクトホール  
 53a~53c 導体膜  
 53d 主導体膜  
 53e 導体膜  
 CNT1, CNT2 コンタクトホール (孔)

TH1 スルーホール (孔)

TH2 スルーホール

L1 第1層配線

L2 第2層配線

L3 第3層配線

L4 第4層配線

L5 第5層配線

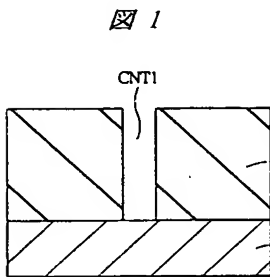
NWL n型ウエル

PWL p型ウエル

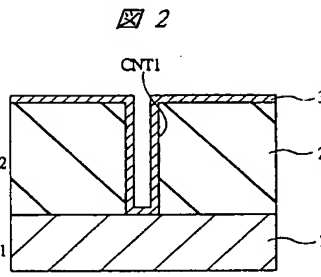
10 Qp pチャネル型のMIS・FET

Qn nチャネル型のMIS・FET

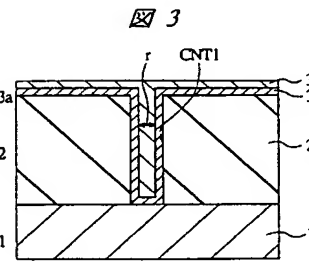
【図1】



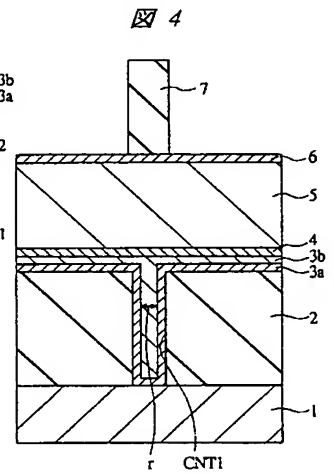
【図2】



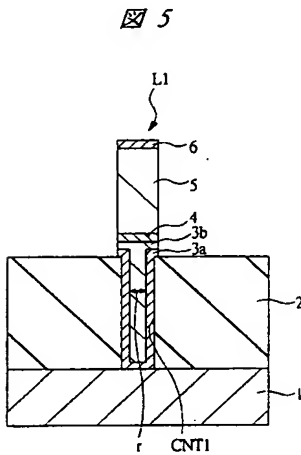
【図3】



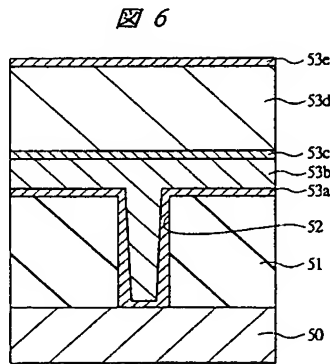
【図4】



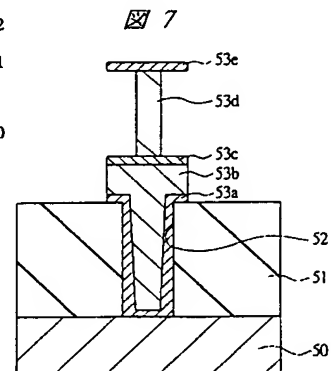
【図5】



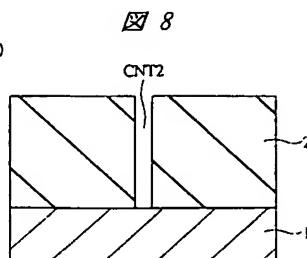
【図6】



【図7】



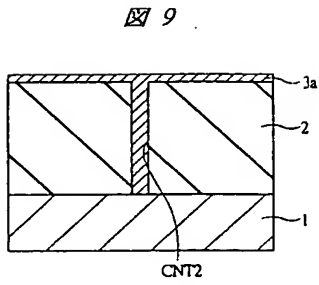
【図8】



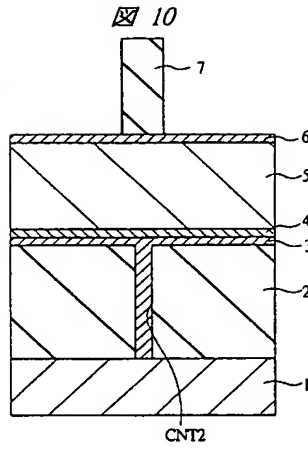
1: ウエハ  
 2: 絶縁膜  
 3a, 3b: 導体膜 (第1導体膜)  
 4: 導体膜 (第2導体膜)  
 5: 主導体膜

CNT1: コンタクトホール (孔)  
 L1: 配線

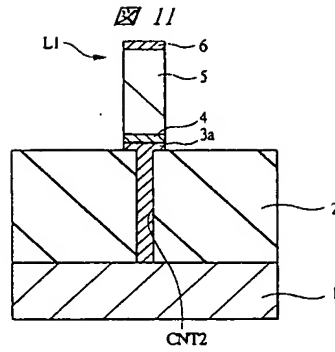
【図 9】



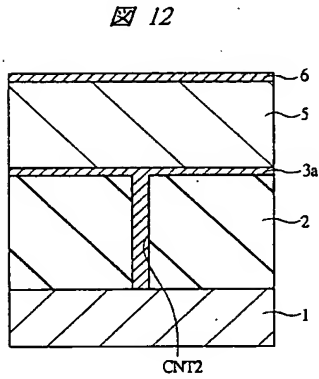
【図 10】



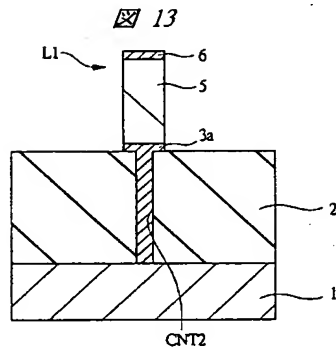
【図 11】



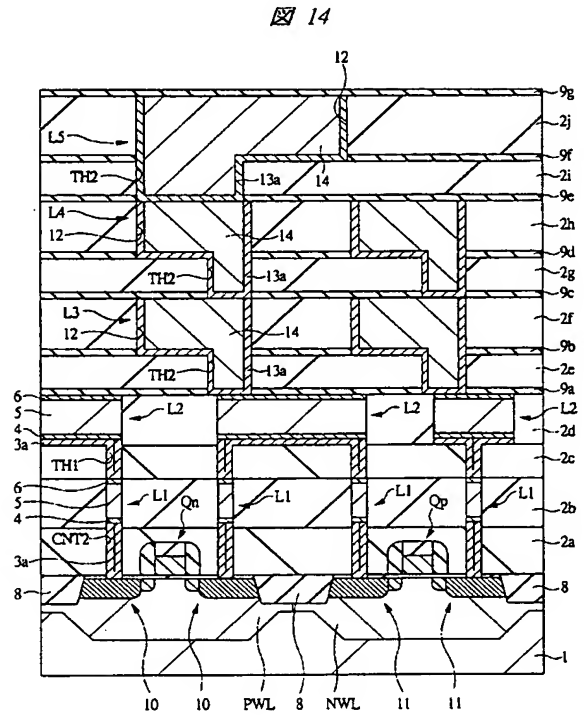
【図 12】



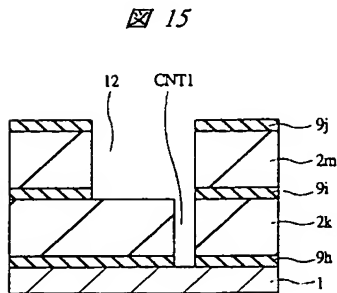
【図 13】



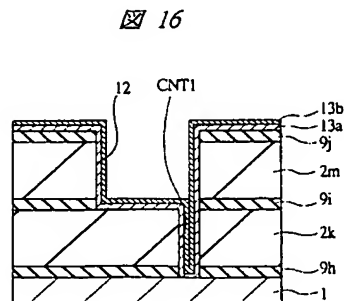
【図 14】



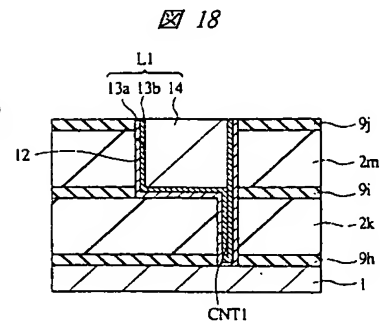
【図 15】



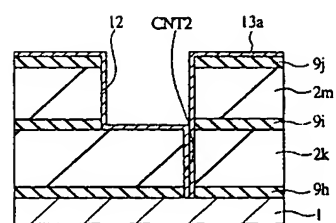
【図 16】



【図 18】



【図 20】



【図 24】

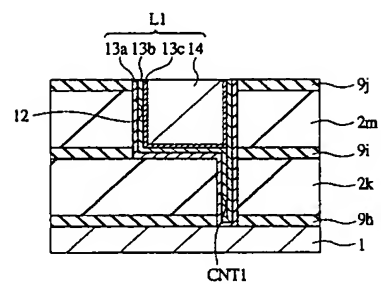
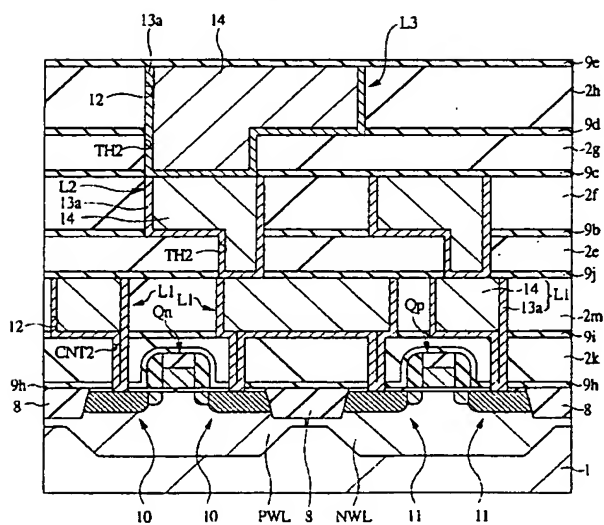


Figure 23



## フロントページの続き

F ターム(参考) 4M104 AA01 BB02 BB14 BB17 BB18  
BB26 BB30 BB32 BB36 BB37  
CC01 DD08 DD15 DD16 DD17  
DD19 DD20 DD37 DD43 DD52  
DD53 DD65 DD66 DD75 EE08  
EE12 FF17 FF18 FF22 GG16  
HH09 HH14 HH15 HH20  
5F033 HH08 HH09 HH11 HH18 HH19  
HH21 HH23 HH29 HH32 HH33  
JJ01 JJ08 JJ09 JJ11 JJ18  
JJ19 JJ21 JJ23 JJ29 JJ32  
JJ33 KK01 KK08 KK09 KK11  
KK18 KK19 KK21 KK23 KK29  
KK32 KK33 LL07 MM02 MM05  
MM12 MM13 NN06 NN07 PP06  
PP15 PP27 PP28 PP33 QQ03  
QQ08 QQ09 QQ10 QQ11 QQ16  
QQ21 QQ31 QQ37 QQ48 RR01  
RR04 RR06 RR09 RR11 RR25  
RR29 SS11 TT02 TT04 VV16  
XX03 XX04 XX05 XX06 XX09  
XX10 XX13 XX14 XX24 XX27  
XX28 XX33 XX34  
5F048 AA09 AB01 AC03 BA01 BE03  
BF01 BF02 BF07 BF12 BF16  
BG12 BG14